

CLIPPEDIMAGE= JP411040608A

PAT-NO: JP411040608A

DOCUMENT-IDENTIFIER: JP 11040608 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MOUNTING METHOD

PUBN-DATE: February 12, 1999

INVENTOR-INFORMATION:

NAME

KIKUCHI, HIROSHI

ANDO, HIDEKO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP09196994

APPL-DATE: July 23, 1997

INT-CL (IPC): H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To extend the connection life of a solder bump, and also, improve the connection reliability of the solder bump.

SOLUTION: This device comprises a device body part 3 equipped with an element mounting board 2 on which a semiconductor chip 1 is mounted, a printed board 5 where the device body 3 is mounted through a solder bump 4, and a support member 6 which is made of material larger in thermal expansion coefficient than the solder to form the solder bump 4 and further is made lower than the level of the solder bump 4 after mounting of the device body part 3. Then, at fusion of the solder bump 4 at the time of mounting the device body part 3 on the printed board 5 through the solder bump 4, the support

member 6 contacts with
the element mounting board 2 and the printed board 5, and
supports the device
body part 3.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-40608

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 S

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平9-196994

(22) 出願日 平成9年(1997) 7月23日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 菊地 広

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 安藤 英子

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

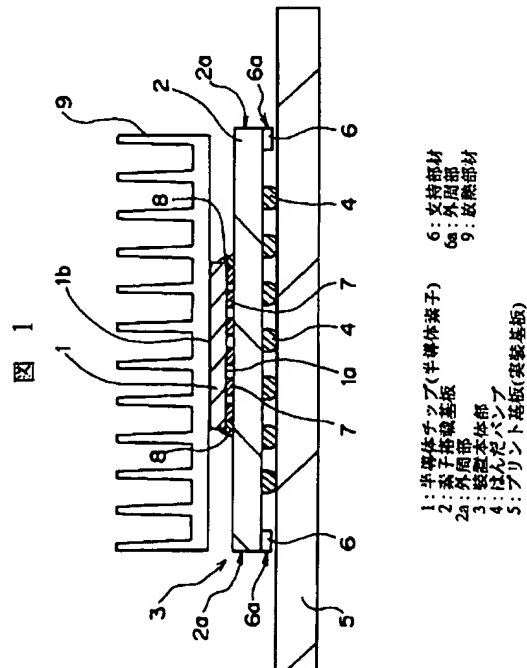
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体装置およびその実装方法

(57) 【要約】

【課題】 はんだバンプの接続寿命を延ばすとともに、
はんだバンプの接続信頼性を向上させる。

【解決手段】 半導体チップ1が搭載された素子搭載基
板2を備える装置本体部3と、装置本体部3をはんだバ
ンプ4を介して実装するプリント基板5と、はんだバ
ンプ4を形成するはんだより熱膨張係数の大きな材料によ
って形成され、かつ装置本体部3実装後のはんだバンプ
4の高さより低く形成された支持部材6とからなり、装
置本体部3をはんだバンプ4を介してプリント基板5に
実装する際のはんだバンプ4の溶融時に、支持部材6が
素子搭載基板2とプリント基板5とに接触して装置本体
部3を支持する。



【特許請求の範囲】

【請求項1】 素子搭載基板がはんだバンパを介して実装された半導体装置であって、

半導体素子が搭載された前記素子搭載基板を備える装置本体部と、

前記装置本体部を前記はんだバンパを介して実装する実装基板と、

前記はんだバンパを形成するはんだより熱膨張係数の大きな材料によって形成され、かつ前記装置本体部実装後の前記はんだバンパの高さより低く形成された支持部材とを有し、

前記装置本体部を前記はんだバンパを介して前記実装基板に実装する際の前記はんだバンパの溶融時に、前記支持部材が前記素子搭載基板と前記実装基板とに接触して前記装置本体部を支持することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記支持部材が前記装置本体部の前記素子搭載基板に設けられ、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記実装基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記支持部材が前記実装基板に設けられ、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記素子搭載基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項4】 請求項1または2記載の半導体装置であって、前記支持部材が前記装置本体部の前記素子搭載基板と一体に形成され、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記実装基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項5】 請求項1、2、3または4記載の半導体装置であって、前記支持部材が棒状に形成され、かつこの棒状の外周部が前記素子搭載基板の外周部と同じ大きさに形成されていることを特徴とする半導体装置。

【請求項6】 請求項1、2、3、4または5記載の半導体装置であって、前記装置本体部において前記半導体素子の電極形成面と反対側の背面に放熱部材が取り付けられていることを特徴とする半導体装置。

【請求項7】 素子搭載基板を有した半導体装置の実装方法であって、

前記半導体装置の装置本体部を実装した後のはんだバンパの高さより低く形成され、かつ前記はんだバンパのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板または実装基板を準備する工程と、

前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、

前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成して、前記半導体素子が搭載された前

記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンパを介して配置する工程と、

前記はんだバンパを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンパによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、

前記はんだバンパを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンパを介して実装する工程とを有することを特徴とする半導体装置の実装方法。

【請求項8】 素子搭載基板を有した半導体装置の実装方法であって、

前記半導体装置の装置本体部を実装した後のはんだバンパの高さより低く形成され、かつ前記はんだバンパのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板を準備する工程と、

前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、

前記支持部材と前記実装基板との間に間隙を形成して、前記半導体素子が搭載された前記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンパを介して配置する工程と、

前記はんだバンパを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンパによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、

前記はんだバンパを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンパを介して実装する工程とを有することを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、素子搭載基板と実装基板（プリント基板）とをボール電極であるはんだバンパによって接続する半導体装置およびその実装方法に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】高機能・低価格な中央演算装置（MPU）を必要とするパーソナルコンピュータ（以降、パソコンと略す）は様々な分野で利用されているが、ユーザからの多機能化や高性能化の要求が強くなってきている。

【0004】なお、パソコンの機能（特に高速化）は、中央演算装置によってそのほとんどが決定される。

【0005】そこで、高速化に対応した半導体装置の一

例として、BGA (Ball Grid Array)と称される半導体装置が知られている。

【0006】前記BGAは、半導体素子が搭載された素子搭載基板を備える装置本体部がはんだバンプを介してプリント基板(実装基板)に実装されるものであるが、中央演算装置の高速化に伴い、半導体素子からの発熱量も増えるため、その対策として、半導体素子に熱拡散板などの放熱部材を取り付けて放熱性を向上させるものがある。

【0007】ここで、BGAについては、例えば、日経BP社、1993年5月31日発行、香山晋、成瀬邦彦(監)、「実践講座VLSIパッケージング技術(下)」、174頁に記載されている。

【0008】

【発明が解決しようとする課題】ところが、前記した技術のBGAにおいては、その装置本体部をプリント基板に実装した際に、その構造上、前記装置本体部の重量がそのままはんだバンプにかかる。

【0009】このため、半導体素子に大きな放熱部材を取り付けることは、バンプ潰れを引き起こすことに繋がる。したがって、大きな放熱部材を設置するのは困難であることが問題とされる。

【0010】また、はんだバンプの潰れは発生しなくても、放熱部材を半導体素子に取り付けた場合、その装置本体部の重量によってはんだバンプの接続高さが低くなる場合があり、これにより、はんだバンプの接続寿命が短くなることが問題とされる。

【0011】本発明の目的は、はんだバンプ溶融時のバンプ高さを制御してはんだバンプの接続寿命を延ばすとともに、はんだバンプの接続信頼性を向上させる半導体装置およびその実装方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体素子が搭載された素子搭載基板を備える装置本体部と、前記装置本体部を前記はんだバンプを介して実装する実装基板と、前記はんだバンプを形成するはんだより熱膨張係数の大きな材料によって形成され、かつ前記装置本体部実装後の前記はんだバンプの高さより低く形成された支持部材とを有し、前記装置本体部を前記はんだバンプを介して前記実装基板に実装する際の前記はんだバンプの溶融時に、前記支持部材が前記素子搭載基板と前記実装基板とに接触して前記装置本体部を支持するものである。

【0015】これにより、装置本体部の重量が増えても

はんだバンプ溶融時のはんだバンプの高さを支持部材によって制御して装置本体部を実装基板に実装できる。

【0016】したがって、はんだバンプ溶融時のバンプ潰れを防止でき、その結果、はんだバンプ同士のショートを防ぐことができるとともに、はんだバンプの接続信頼性を向上できる。

【0017】また、本発明の半導体装置の実装方法は、半導体装置の装置本体部を実装した後のはんだバンプの高さより低く形成され、かつ前記はんだバンプのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板または実装基板を準備する工程と、前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成して、前記半導体素子が搭載された前記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンプを介して配置する工程と、前記はんだバンプを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンプによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、前記はんだバンプを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンプを介して実装する工程とを有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】図1は本発明による半導体装置の構造の実施の形態の一例を示す断面図、図2は本発明の半導体装置の素子搭載基板における支持部材の設置状態の実施の形態の一例を示す底面図、図3(a)、(b)、(c)は本発明の半導体装置の実装方法の実施の形態の一例を示す拡大部分断面図である。

【0020】本実施の形態による半導体装置は、BGAと同様の構造を有する装置本体部3がはんだバンプ4を介してプリント基板5に実装されたものであり、装置本体部3の素子搭載基板2とプリント基板5とを格子状に配置された複数個のはんだバンプ4によって電気的に接続して装置本体部3をプリント基板5に実装するものである。

【0021】図1に示す前記半導体装置の構成について説明すると、半導体素子である半導体チップ1(LSI (Large Scale Integration))が搭載された素子搭載基板2を備える装置本体部3と、装置本体部3をはんだバンプ4を介して実装するプリント基板5(実装基板)と、はんだバンプ4を形成するはんだより熱膨張係数の大きな材料によって形成され、かつ装置本体部3実装後のはんだバンプ4の高さより低く形成された支持部材6とからなり、装置本体部3をはんだバンプ4を介してア

5

プリント基板5に実装する際のはんだバンパ4の溶融時に、支持部材6が素子搭載基板2とプリント基板5とに接触して装置本体部3を支持するものである。

【0022】ここで、半導体チップ1は、素子搭載基板2にはんだなどから成るCCB (Controlled Collapse bonding) バンパ7によってCCBバンパ接続され、これによって、素子搭載基板2に表面実装されるとともに、素子搭載基板2に電気的に接続されている。

【0023】さらに、装置本体部3は、素子搭載基板2上で素子搭載基板2に搭載された半導体チップ1を封止樹脂8 (アンダーフィル用樹脂) によって封止するとともに、封止樹脂8によってCCBバンパ7の補強を行い、かつ半導体チップ1の表面1bに放熱部材9を取り付けて形成したものであり、前記封止樹脂8には、例えば、エポキシ系の熱硬化性樹脂などを用いる。

【0024】また、素子搭載基板2は、BGAベースとも呼ばれ、例えば、ガラスエポキシ樹脂などによって形成され、かつ平面形状は四角形を成すものであり、格子状に配置された複数のはんだバンパ4によってプリント基板5に実装される。

【0025】さらに、プリント基板5は、種々の半導体装置や電子部品などを搭載する実装基板であり、例えば、エポキシ系の樹脂などによって形成されている。

【0026】また、支持部材6は、はんだバンパ4溶融時のこのはんだバンパ4のバンパ潰れを防止するものであり、はんだバンパ4を形成するはんだより熱膨張係数の大きな材料、例えば、素子搭載基板2と同様のガラスエポキシ樹脂によって形成され、かつ、装置本体部3をプリント基板5に実装した後のはんだバンパ4の高さより低くなるように形成されたものである。

【0027】前記ガラスエポキシ樹脂の熱膨張係数は、一例として、 $30 \times 10^{-6}/^{\circ}\text{C}$ であり、はんだバンパ4に用いるはんだの熱膨張係数は、一例として、 $24 \times 10^{-6}/^{\circ}\text{C}$ である。

【0028】また、前記はんだの融点は、例えば、前記はんだの組成がPb-63wt%Snの場合、約183℃である。

【0029】ここで、本実施の形態の半導体装置においては、支持部材6が装置本体部3の素子搭載基板2に設けられ、かつ装置本体部3のプリント基板5への実装後に支持部材6とプリント基板5との間に間隙a (図3(c)参照) が形成される場合を説明する。

【0030】つまり、図3(c)に示すように、装置本体部3実装後のはんだバンパ4の高さをHとし、支持部材6の高さをhとし、支持部材6とプリント基板5との間隙をaとすると、 $H \approx h + a$ で表される。

【0031】なお、支持部材6は、縦断面が四角形の枠状 (図2参照) に形成され、図1に示すように、かつ、この枠状の支持部材6の外周部6aが素子搭載基板2の外周部2aと同じ大きさに形成されている。

6

【0032】さらに、本実施の形態においては、素子搭載基板2を製造する際に、支持部材6が素子搭載基板2と一体に形成されている場合を説明する。

【0033】つまり、支持部材6の外形状を素子搭載基板2の外周部2aにほぼ沿った枠状に形成し、この枠状の支持部材6を、予め、素子搭載基板2の製造工程において、素子搭載基板2と一体に形成する。

【0034】また、本実施の形態の半導体装置は、その装置本体部3において半導体チップ1の電極形成面1aと反対側の背面 (本実施の形態では表面1bのことであり、以降、表面1bと呼ぶ) にアルミニウムなどによって形成された放熱部材9が取り付けられている。

【0035】なお、本実施の形態の半導体装置に取り付けられた放熱部材9は、その平面的な大きさが素子搭載基板2と同じ程度のものである。

【0036】また、前記半導体装置において、半導体チップ1からの信号は、素子搭載基板2内で拡大、伝搬され、その後、プリント基板5に伝えられる。

【0037】次に、本実施の形態の半導体装置の実装方法について説明する。

【0038】なお、本実施の形態では、枠状の支持部材6が素子搭載基板2に一体で設けられ、かつ装置本体部3のプリント基板5への実装後に支持部材6とプリント基板5との間に間隙aが形成される場合を説明する。

【0039】まず、図3に示すように、半導体装置の装置本体部3を実装した後のはんだバンパ4の高さHより低く形成され、かつはんだバンパ4のはんだより熱膨張係数の大きな材料 (本実施の形態ではガラスエポキシ樹脂) によって形成された高さhの支持部材6を有する素子搭載基板2を準備する ($H > h$) 。

【0040】ここで、本実施の形態では、枠状の支持部材6が素子搭載基板2に一体で設けられている場合であるため、素子搭載基板2を製造する際に、多層基板の形成方法を利用して枠状の支持部材6 (図2参照) も素子搭載基板2に一体で形成する。

【0041】なお、枠状の支持部材6を素子搭載基板2と一体でなく、別ピースとして形成し、素子搭載基板2に後から接合する際には、素子搭載基板2の外周部2aと枠状の支持部材6の外周部6aとの位置を合わせ、かつ接着剤によって素子搭載基板2に枠状の支持部材6を取り付ける。

【0042】これにより、高さhの支持部材6を設けた素子搭載基板2を準備できる。

【0043】その後、図1に示すように、素子搭載基板2に半導体チップ1を搭載し、かつ放熱部材9を半導体チップ1に取り付けて装置本体部3を形成する。

【0044】チップマウントの際には、CCBバンパ7を用いて半導体チップ1を素子搭載基板2にCCBバンパ接続する。

【0045】これにより、チップマウントが行われ、半

導体チップ1と素子搭載基板2とが電氣的に接続される。

【0046】続いて、封止樹脂8をCCBバンパ7の接合部および半導体チップ1の周囲に塗布（供給）して半導体チップ1とCCBバンパ7の接合部とを封止樹脂8によって保護する。

【0047】その後、エポキシ系の接着剤などを用いて半導体チップ1の背面すなわち表面1bに放熱部材9を取り付ける。

【0048】さらに、プリント基板5上の所定箇所上にはんだバンパ4を供給し、続いて、図3（a）に示すように、支持部材6とプリント基板5との間に所定の空隙（間隙aより若干大きい程度の空隙）を形成して、半導体チップ1（図1参照）が搭載された素子搭載基板2を備える装置本体部3をプリント基板5上にはんだバンパ4を介して配置する。

【0049】この際、素子搭載基板2の所定のバンパ搭載電極2bと、プリント基板5の所定のバンパ搭載電極5aとをはんだバンパ4を介して両者を対応させた位置に配置する。

【0050】その後、所定温度、例えば、200～240℃の高温雰囲気形成されたリフロー炉（図示せず）に、図3（a）に示す状態の装置本体部3と素子搭載基板2とを搬入し、これらを前記リフロー炉に通す。

【0051】続いて、前記リフロー炉において、はんだバンパ4が加熱されて溶融すると、放熱部材9の重量や素子搭載基板2自身の重量によって、装置本体部3が僅かに下降する。

【0052】この際、支持部材6の熱膨張係数は、はんだバンパ4の熱膨張係数より大きいので、支持部材6も熱膨張している。

【0053】そこで、はんだバンパ4が溶融して装置本体部3が下降すると、図3（b）に示すように、支持部材6がプリント基板5に接触し、支持部材6によって装置本体部3を支持することができる。

【0054】その結果、装置本体部3は支持部材6によって支えられるため、これ以上下降することはない。したがって、はんだバンパ4溶融時のバンパ潰れの発生を防ぐことができる。

【0055】言い換えると、はんだバンパ4の接続高さ（図3（b）におけるはんだバンパ4の高さ）は、支持部材6の高さhより低くなることはない。

【0056】これにより、支持部材6によって装置本体部3を支持しながら、はんだバンパ4によって素子搭載基板2とプリント基板5とを電氣的に接続する。

【0057】その後、前記リフロー炉の外に前記半導体装置を搬出する。

【0058】所定時間経過後、はんだバンパ4は冷えて常温に戻り硬化する。

【0059】さらに、図3（c）に示すように、はんだ

バンパ4の硬化にともなって支持部材6も冷えて収縮する。

【0060】この時、ガラスエポキシ樹脂からなる支持部材6は、はんだより熱膨張係数が大きく、予め、装置本体部3実装後のはんだバンパ4の高さより低くなるように形成されたものであるため、高さhまで収縮し、これによって、支持部材6とプリント基板5との間には間隙aが形成される。

【0061】その結果、支持部材6とプリント基板5との間に間隙aを形成した状態で、装置本体部3をプリント基板5上にはんだバンパ4を介して実装でき、これにより、装置本体部3とプリント基板5とはんだバンパ4によって電氣的に接続される。

【0062】なお、間隙aが形成されていることにより、はんだバンパ4は装置本体部3自身からの荷重以外のストレスを受けることはなく、自由度を維持した状態でバンパ接合している。

【0063】本実施の形態の半導体装置およびその実装方法によれば、以下のような作用効果が得られる。

【0064】すなわち、前記半導体装置の装置本体部3をプリント基板5に実装する際、はんだバンパ4の溶融時に装置本体部3を支持する支持部材6を有していることにより、装置本体部3の重量が増えてもはんだバンパ4溶融時のはんだバンパ4の高さを支持部材6によって制御して装置本体部3をプリント基板5に実装できる。

【0065】これにより、はんだバンパ4溶融時のバンパ潰れを防止でき、その結果、はんだバンパ4同士のショートを防ぐことができるとともに、はんだバンパ4の接続信頼性を向上できる。

【0066】また、はんだバンパ4溶融時に装置本体部3を支持部材6によって支持することにより、装置本体部3の重量が増えてもはんだバンパ4を潰すことなく、装置本体部3を支持することができる。

【0067】これにより、半導体チップ1に大きな放熱部材9（例えば、図6に示す放熱部材9）を取り付けることが可能になり、半導体チップ1の放熱性を向上できるとともに、装置本体部3を備えた半導体装置の高性能化を図ることができる。

【0068】さらに、支持部材6によってはんだバンパ4の高さを制御して装置本体部3を実装することにより、実装時のはんだバンパ4の高さ（ここでは、高さHのこと）を確保することができる。

【0069】これにより、はんだバンパ4の高さが設計値より低くなることを防げるため、その結果、はんだバンパ4の接続寿命を延ばすことができる。

【0070】また、この支持部材6が、はんだより熱膨張係数の大きな材料（本実施の形態ではガラスエポキシ樹脂）によって形成されかつ装置本体部3実装後のはんだバンパ4の高さより低くなるように形成されていることにより、はんだバンパ4の硬化とともに支持部材6が

冷めて収縮した際に、支持部材6とプリント基板5との間に間隙aを形成することができる。

【0071】これにより、装置本体部3実装後、支持部材6に起因する応力のはんだバンプ4に対して働くことを防げる。つまり、はんだバンプ4は、このはんだバンプ4が本来有しているバンプ高さ方向の自由度を拘束されることがない。

【0072】したがって、はんだバンプ4は、その接続に悪影響を与えられないため、はんだバンプ4の接続寿命を延ばすことができ、かつ、はんだバンプ4の接続信頼性を向上できる。

【0073】また、支持部材6が装置本体部3の素子搭載基板2と一体に形成されていることにより、素子搭載基板2を多層基板として形成する際に、支持部材6も一緒に形成できるため、装置本体部3における支持部材6の取り付けを簡略化することができる。

【0074】さらに、支持部材6が棒状に形成され、かつこの棒状の支持部材6の外周部6aが素子搭載基板2の外周部2aと同じ大きさに形成されていることにより、支持部材6を素子搭載基板2に取り付ける際の位置決めを簡略化することができる。

【0075】これにより、前記同様、装置本体部3における支持部材6の取り付けを簡略化することができる。

【0076】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0077】例えば、前記実施の形態で説明した半導体装置においては、支持部材6が棒状でかつ素子搭載基板2と一体に形成される場合について説明したが、図4または図5に示す他の実施の形態の支持部材6の設置状態のように、素子搭載基板2の4つの角部2cのそれぞれに(図4参照)、もしくは、素子搭載基板2の4つの辺の中央付近のそれぞれに(図5参照)、高さhの4つの支持部材6を取り付けてもよい。

【0078】これによっても前記実施の形態で説明した作用効果と同様の作用効果が得られる。

【0079】また、前記実施の形態の半導体装置においては、図1に示すように、放熱部材9が素子搭載基板2と同じ程度の大きさの場合について説明したが、図6に示す他の実施の形態の半導体装置のように素子搭載基板2よりも大きな放熱部材9を取り付けた半導体装置であってもよい。

【0080】この半導体装置においても、素子搭載基板2に支持部材6が設けられているため、図1に示した半導体装置と同様の作用効果が得られ、かつ、前記半導体装置における放熱効果をさらに向上でき、その結果、前記半導体装置の性能を向上できる。

【0081】また、前記実施の形態および図4～図6に

示す他の実施の形態においては、支持部材6が素子搭載基板2に設けられる場合について説明したが、図7に示す他の実施の形態の半導体装置のように、支持部材6はマザーボード10(実装基板)に設けられていてもよい。

【0082】すなわち、予め、支持部材6が所定箇所に設けられたマザーボード10を準備し、その後、前記実施の形態の半導体装置の実装方法と同様の方法で装置本体部3をマザーボード10に実装して半導体装置を製造する。

【0083】なお、図7に示す他の実施の形態の半導体装置の場合、支持部材6が実装基板であるマザーボード10に設けられていることにより、装置本体部3の実装後には、支持部材6と素子搭載基板2との間に間隙a(図3(c)参照)が形成される。

【0084】これにより、図7に示す半導体装置によっても、前記実施の形態で説明した作用効果と同様の作用効果が得られる。

【0085】また、支持部材6は、前記実施の形態および前記他の実施の形態で説明したものに限らず、はんだバンプ4のはんだより熱膨張係数が大きく、かつ、予め、装置本体部3実装後のはんだバンプ4の高さより低くなるように形成されたものであれば、その形状、設置数および設置位置は、特に限定されるものではない。

【0086】例えば、支持部材6の形状については、円柱、角柱、あるいは、球などであってもよい。

【0087】さらに、支持部材6の材料についてもガラスエポキシ樹脂以外のものであってもよい。

【0088】また、素子搭載基板2についても、その材料は、ガラスエポキシ樹脂に限定されるものではなく、例えば、アルミナやセラミックなどであってもよい。

【0089】さらに、前記実施の形態あるいは他の実施の形態の半導体装置においては、半導体チップ1の封止(保護)が封止樹脂8による樹脂封止の場合について説明したが、前記封止は、樹脂封止に限らず、キャップなどを用いた封止であってもよい。

【0090】また、半導体チップ1と素子搭載基板2との電気的接続は、CCBバンプ接続に限らず、素子搭載基板2に半導体チップ1をその表裏を反転させて取り付け、その後、ワイヤボンディングによって行うワイヤボンディング接続であってもよい。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0092】(1) 半導体装置の装置本体部を実装基板に実装する際、はんだバンプの溶融時に装置本体部を支持する支持部材を有していることにより、はんだバンプ溶融時のバンプ潰れを防止できる。その結果、はんだバンプ同士のショートを防ぐことができるとともに、は

11

んだバンプの接続信頼性を向上できる。

【0093】(2)．はんだバンプ溶融時に装置本体部を支持部材によって支持することにより、装置本体部の重量が増えてもはんだバンプを潰すことなく、装置本体部を支持することができる。これにより、半導体素子に大きな放熱部材を取り付けることが可能になり、半導体素子の放熱性を向上できるとともに、半導体装置の高性能化を図ることができる。

【0094】(3)．支持部材によってはんだバンプの高さを制御して装置本体部を実装することにより、実装時のはんだバンプの高さを確保することができる。これにより、はんだバンプの高さが低くなることを防げるため、その結果、はんだバンプの接続寿命を延ばすことができる。

【0095】(4)．支持部材が、はんだより熱膨張係数の大きな材料によって形成されかつ装置本体部実装後のはんだバンプの高さより低くなるように形成されていることにより、装置本体部実装後、支持部材に起因する応力がはんだバンプに対して働くことを防げる。したがって、はんだバンプは、その接続に悪影響を与えられないため、はんだバンプの接続寿命を延ばすことができ、かつ、はんだバンプの接続信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明による半導体装置の構造の実施の形態の一例を示す断面図である。

【図2】本発明の半導体装置の素子搭載基板における支持部材の設置状態の実施の形態の一例を示す底面図である。

【図3】(a)、(b)、(c)は本発明の半導体装置の実装方法の実施の形態の一例を示す拡大部分断面図である。

12

【図4】本発明の他の実施の形態である半導体装置の素子搭載基板における支持部材の設置状態を示す底面図である。

【図5】本発明の他の実施の形態である半導体装置の素子搭載基板における支持部材の設置状態を示す底面図である。

【図6】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

【図7】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

【符号の説明】

1 半導体チップ(半導体素子)

1a 電極形成面

1b 表面

2 素子搭載基板

2a 外周部

2b バンプ搭載電極

2c 角部

3 装置本体部

4 はんだバンプ

5 プリント基板(実装基板)

5a バンプ搭載電極

6 支持部材

6a 外周部

7 CCBバンプ

8 封止樹脂

9 放熱部材

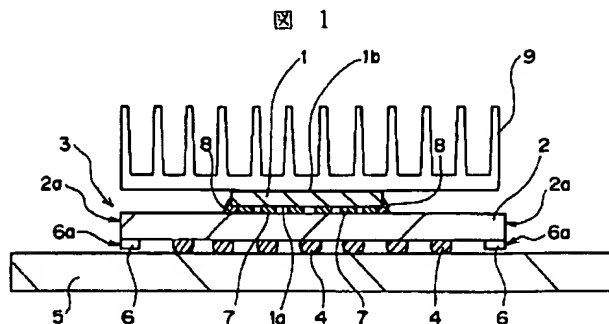
10 マザーボード(実装基板)

H 装置本体部実装後のはんだバンプの高さ

h 支持部材の高さ

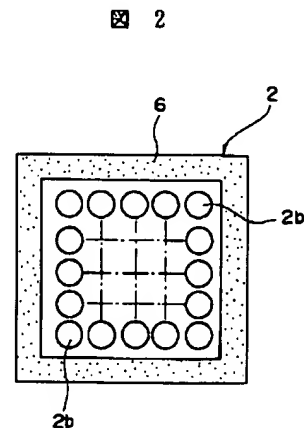
a 間隙

【図1】



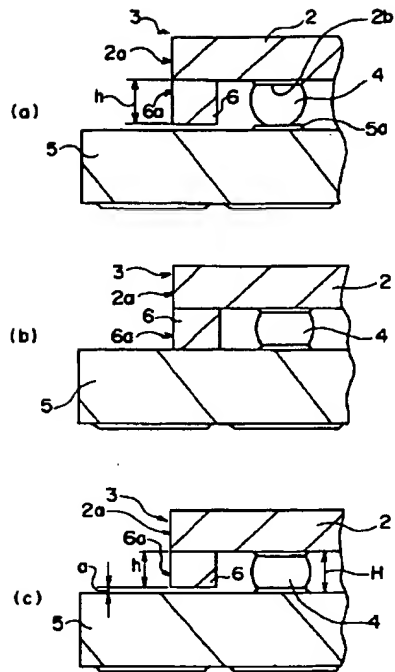
- | | |
|------------------|---------|
| 1: 半導体チップ(半導体素子) | 6: 支持部材 |
| 2: 素子搭載基板 | 6a: 外周部 |
| 2a: 外周部 | 9: 放熱部材 |
| 3: 装置本体部 | |
| 4: はんだバンプ | |
| 5: プリント基板(実装基板) | |

【図2】



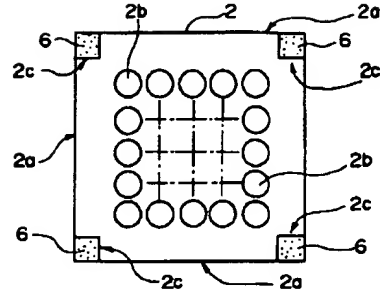
【図3】

3



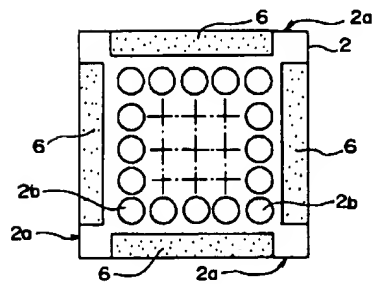
【図4】

4



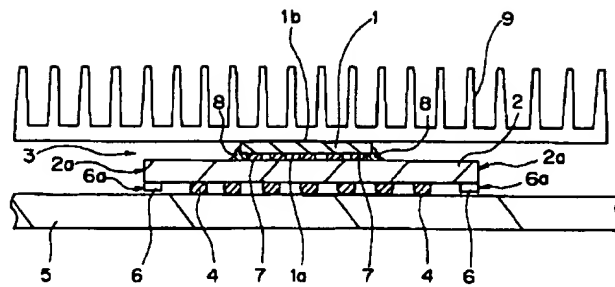
【図5】

5



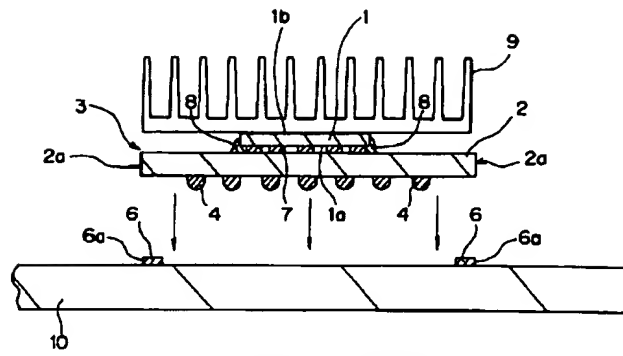
【図6】

☒ 6



【図7】

図 7



10:マザーボード(実装基板)